

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-176592

(43)Date of publication of application : 24.06.1994

(51)Int.Cl. G11C 17/18

(21)Application number : 04-349885

(71)Applicant : NEC CORP

(22)Date of filing : 02.12.1992

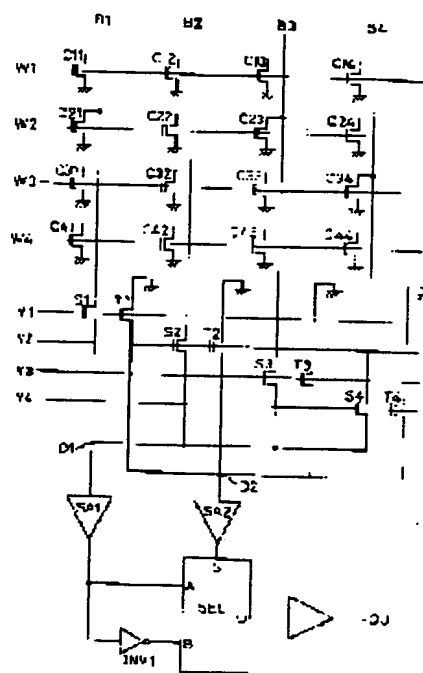
(72)Inventor : SUGIYAMA NOBUYUKI

(54) MASK ROM

(57)Abstract:

PURPOSE: To provide a mask ROM operating at high speed by reducing load capacity generated at bit lines.

CONSTITUTION: The value of a data line D1 to which bit lines B1-B4 are connected via N channel MOS transistors S1-S4 is inputted to an either input terminal A of a 2-1 selector SEL via a sense amplifier. The output of the sense amplifier SA1 is inverted by an inverter INV1, and inputted to the other input terminal B of the 2-1 selector SEL. The value of a data line D2 to which N channel MOS transistors T1, T2 are connected is inputted to a signal selecting terminal S of the 2-1 selector SEL via a sense amplifier SA2. When a high level signal is inputted to the signal selecting terminal S of the 2-1 selector SEL, the input terminal B is selected, and when a low level signal is inputted, the other input terminal A is selected.



LEGAL STATUS

[Date of request for examination] 02.12.1992

[Date of sending the examiner's decision of rejection] 20.06.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The mask ROM characterized by to have a reversal means reverse the data on the bit line which is the mask ROM from which the output value from this memory cell differs according to whether the drain electrode of the transistor which constitutes a memory cell is connected to the bit line, and was chosen, a selection means choose one side among the data on said bit line, and the reversal data of said reversal means, and the control means that control selection actuation of said selection means according to whether which bit line chooses.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the mask ROM in which ROM data are written by contact or the metal layer wiring process about a mask ROM.

[0002]

[Description of the Prior Art] Conventionally, in this kind of mask ROM, as shown in drawing 2, the N-channel MOS transistors (it considers as a transistor below) C11-C14 which constitute a memory cell, C21-C24, C31-C34, and the source electrode of C41-C44 are connected to a power supply terminal. ROM data are rewritten by whether these transistors C11-C14, C21-C24, C31-C34, and the drain electrode of C41-C44 are connected to a bit line B1 - B4, or it sets without connecting.

[0003] Change of the potential of these transistors C11-C14, C21-C24, C31-C34, the bit line B1 by C41-C44 - B4 is detected by the sense amplifier SA 1, and is outputted as ROM data.

[0004] In addition, about TAT (turn around time), since it is advantageous to perform rewriting of ROM data at metal layer wiring or contact, and a through hole process, generally it is performed by ASIC (LSI for specified uses).

[0005] The read-out actuation from a mask ROM is explained using this drawing 2. First, if a word line W1 and the selection signal Y1 of a column are chosen, the potential of the gate electrode of a transistor C11 goes up to VDD, and a transistor C11 turns on. If a transistor C11 turns on, since the drain electrode of a transistor C11 is connected to the bit line B1, a transistor C11 reduces the potential of a bit line B1. A sense amplifier SA 1 reads this as a low level.

[0006] Moreover, if a word line W2 and the selection signal Y1 of a column are chosen, the potential of the gate electrode of a transistor C21 goes up to VDD, and a transistor C21 turns on. Since the drain electrode of a transistor C21 is not connected to the bit line B1 even if a transistor C21 turns on, a transistor C21 does not reduce the potential of a bit line B1. This is read as a sense amplifier SA 1 being high-level. In addition, it operates like [other transistors] the above-mentioned actuation.

[0007] As mentioned above, when ROM data are rewritten by whether the drain electrode of a transistor is connected to a bit line, or it sets without connecting, the number of the transistors connected to each bit line depending on the contents of ROM data may become irregular. Since various un-arranging may arise when the number of the transistors connected to a bit line becomes irregular, the drain electrode of all transistors is connected to a bit line, and it is proposed with the technique in which ROM which makes equal capacity of the drain part attached to a bit line was indicated by JP,3-105798,A. However, if it carries out like the above, since the capacity of the drain part attached to a bit line will serve as max, a read-out rate becomes slow.

[0008]

[Problem(s) to be Solved by the Invention] In the conventional mask ROM mentioned above, when the drain electrode of a transistor is connected to a bit line, the capacity of a drain part is attached to a bit line, but in not connecting the drain electrode of a transistor to a bit line, it does not attach the capacity of the drain part to a bit line.

[0009] Therefore, with a bit line with few transistors linked to a bit line with many transistors which connect, a big difference is attached to the capacity of the drain part attached to a bit line, and this difference turns into a difference of the variation of the signal level between the bit lines of the same time of day, and it appears. The access time when leading in a bit line with many transistors which connect is overdue, and since it is necessary to consider the case where the drain electrode of all transistors is connected to a bit line like bit line B-2 shown in drawing 2 as worst conditions, there is a problem that the access time which can be guaranteed will become late.

[0010] Then, it is in the purpose of this invention being able to reduce the load-carrying capacity attached to a bit line, and offering a high-speed mask ROM conventionally.

[0011]

[Means for Solving the Problem] The mask ROM by this invention is a mask ROM from which the output value from this memory cell differs according to whether the drain electrode of the transistor which constitutes a memory cell is connected to the bit line. It has a reversal means to reverse the data on the selected bit line, a selection means to choose one side among the data on said bit line, and the reversal data of said reversal means, and the control means that controls selection actuation of said selection means according to whether which bit line is chosen.

[0012]

[Example] Next, one example of this invention is explained with reference to a drawing.

[0013] Drawing 1 is the circuit diagram showing one example of this invention. In drawing, C11-C14, C21-C24, C31-C34, and C41-C44 are the N-channel MOS transistors (it considers as a transistor below) used as a memory cell, W1-W4 are word lines, and B1 - B4 are bit lines.

[0014] As for all of the above-mentioned transistors C11-C14, C21-C24, C31-C34, and C41-C44, the source electrode is connected to the grand line, and the drain electrode of transistors C21, C23, and C34 is connected to bit lines B1 and B3 and B4, respectively.

[0015] Moreover, a bit line B1 - B4 are connected to the data line D1 through the N-channel MOS transistor (it considers as a transistor below) S1 - S4. The data line D1 is connected to the input of a sense amplifier SA 1, and the output of a sense amplifier SA 1 is connected to one input A of two to 1 selector SEL, and the input of an inverter INV1. The output of an inverter INV1 is connected to the input B of another side of two to 1 selector SEL.

[0016] The source electrode of the N-channel MOS transistor (it considers as a transistor below) T1 - T four is connected to the grand line, and the drain electrode of transistors T1 and T2 is connected to the data line D2. The data line D2 is connected to the input of a sense amplifier SA 2, and the output of a sense amplifier SA 2 is connected to the signal selection terminal S of two to 1 selector SEL.

[0017] 2-1 selector SEL will choose the input B of another side, if high level is inputted into the signal selection terminal S, and if a low level is inputted into the signal selection terminal S, it will choose one input A.

[0018] Actuation of one example of this invention is explained using this drawing 1. First, when a transistor C11 is chosen, a word line W1 and the selection signal Y1 of a column become high-level, and a word line W2, W3, and W4 and the selection signals Y2, Y3, and Y4 of a column serve as a low level.

[0019] Since the drain electrode of a transistor C11 is not connected to the bit line B1 even if a word line W1 becomes high-level at this time, the potential of a bit line B1 and the data line D1 is not pulled down by the low level. Therefore, high level is inputted into one input A of 2-1 selector SEL, and a low level is inputted into the input B of another side, respectively.

[0020] Moreover, if the selection signal Y1 of a column becomes high-level, since the gate of a transistor T1 will become high-level, the potential of the data line D2 is pulled down by the low level through a transistor T1, and a low level is inputted into the signal selection terminal S of 2-1 selector SEL. Therefore, since the input B of another side is chosen in 2-1 selector SEL, a low level is outputted from 2-1 selector SEL.

[0021] When a transistor C21 is chosen, a word line W2 and the selection signal Y1 of a

column become high-level, and a word line W1, W3, and W4 and the selection signals Y2, Y3, and Y4 of a column serve as a low level.

[0022] If a word line W2 becomes high-level at this time, since the drain electrode of a transistor C21 is connected to the bit line B1, the potential of a bit line B1 and the data line D1 is pulled down by the low level. Therefore, a low level is inputted into one input A of 2-1 selector SEL, and high level is inputted into the input B of another side, respectively.

[0023] Moreover, if the selection signal Y1 of a column becomes high-level, since the gate of a transistor T1 will become high-level, the potential of the data line D2 is pulled down by the low level through a transistor T1, and a low level is inputted into the signal selection terminal S of 2-1 selector SEL. Therefore, since the input B of another side is chosen in 2-1 selector SEL, high level is outputted from 2-1 selector SEL.

[0024] When a transistor C13 is chosen, a word line W1 and the selection signal Y3 of a column become high-level, and a word line W2, W3, and W4 and the selection signals Y1, Y2, and Y4 of a column serve as a low level.

[0025] Since the drain electrode of a transistor C13 is not connected to the bit line B1 even if a word line W1 becomes high-level at this time, the potential of a bit line B1 and the data line D1 is not pulled down by the low level. Therefore, high level is inputted into one input A of 2-1 selector SEL, and a low level is inputted into the input B of another side, respectively.

[0026] Moreover, since the drain electrode of transistor T3 is not connected to the data line D2 although the gate of transistor T3 becomes high-level if the selection signal Y3 of a column becomes high-level, the potential of the data line D2 is not pulled down by the low level through transistor T3, but high level is inputted into the signal selection terminal S of 2-1 selector SEL. Therefore, since one input A is chosen in 2-1 selector SEL, high level is outputted from 2-1 selector SEL.

[0027] When a transistor C23 is chosen, a word line W2 and the selection signal Y3 of a column become high-level, and a word line W1, W3, and W4 and the selection signals Y1, Y2, and Y4 of a column serve as a low level.

[0028] If a word line W2 becomes high-level at this time, since the drain electrode of a transistor C23 is connected to the bit line B1, the potential of a bit line B1 and the data line D1 is pulled down by the low level. Therefore, a low level is inputted into one input A of 2-1 selector SEL, and high level is inputted into the input B of another side, respectively.

[0029] Moreover, since the drain electrode of transistor T3 is not connected to the data line D2 although the gate of transistor T3 becomes high-level if the selection signal Y3 of a column becomes high-level, the potential of the data line D2 is not pulled down by the low level through transistor T3, but high level is inputted into the signal selection terminal S of 2-1 selector SEL. Therefore, since one input A is chosen in 2-1 selector SEL, a low level is outputted from 2-1 selector SEL.

[0030] Consequently, when a bit line B1 and the transistors C11, C12, C21, C22, C31, C32, C41, and C42 which can connect with B-2 are chosen, the data on the data line D1 are reversed and outputted with an inverter INV1. Moreover, when a bit line B3 and the transistors C13, C14, C23, C24, C33, C34, C43, and C44 which can connect with B4 are chosen, the data on the data line D1 will be outputted as it is.

[0031] Therefore, an output value when transistors C11-C14, C21-C24, C31-C34, and C41-C44 are chosen, respectively can obtain the same output as the conventional circuit shown in drawing 2.

[0032] Moreover, in drawing 2, although four transistors were connected to the bit line B1 at three transistors and bit line B-2, respectively, since only zero transistor is connected to a bit line B1 at one transistor and bit line B-2, the capacity of the drain part attached to a bit line B1 and B-2 can be decreased, and it can speed up [from which potential changes] by this example shown in drawing 1. In addition, the process with possible realizing at the same process as the process which rewrites ROM data which connects a transistor T1 - T four to the data line D2 is clear.

[0033] Thus, the digit for judging whether each bit line B1 - B4 are made to reverse an output is prepared. A reversal output is chosen when the drain electrode of many transistors

connects with a bit line B1 - B4 at the time of a normal rotation output. By choosing a normal rotation output, when only the drain electrode of a small number of transistor is connected to a bit line B1 - B4. When choosing a reversal output, the transistor of a large number connected to a bit line B1 - B4 at the time of a normal rotation output can be separated from a bit line B1 - B4. Therefore, the load-carrying capacity attached to a bit line B1 - B4 can be reduced, and a high-speed mask ROM can be realized conventionally.

[0034] In this case, the transistor connected to a bit line B1 - B4 performs decision of a large number or a fraction by whether it is over 50%. That is, if the transistor connected to a bit line B1 - B4 is over 50%, the transistor connected to a bit line B1 - B4 can be made into less than 50% by choosing a reversal output like this example.

[0035] In addition, although one example of this invention described the memory chip of a simple substance, it is clear that it is applicable to 1 chip microcomputer, the memory in Logic LSI, etc., and it is not limited to this.

[0036]

[Effect of the Invention] As explained above, the load-carrying capacity attached to a bit line by choosing one side among the data and reversal data on a bit line according to whether which bit line is chosen according to this invention can be reduced, and it is effective in the ability to offer a high-speed mask ROM conventionally.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing one example of this invention.

[Drawing 2] It is the circuit diagram showing the conventional example.

[Description of Notations]

C11-C14, C21-C24, C31-C34, C41-C44, S1 - S4, T1 - T four N-channel MOS transistor

W1-W4 Word line

B1 - B4 Bit line

D1, D2 Data line

Y1-Y4 Selection signal of a column

SA1, SA2 Sense amplifier

INV1 Inverter

SEL 2-1 selector

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

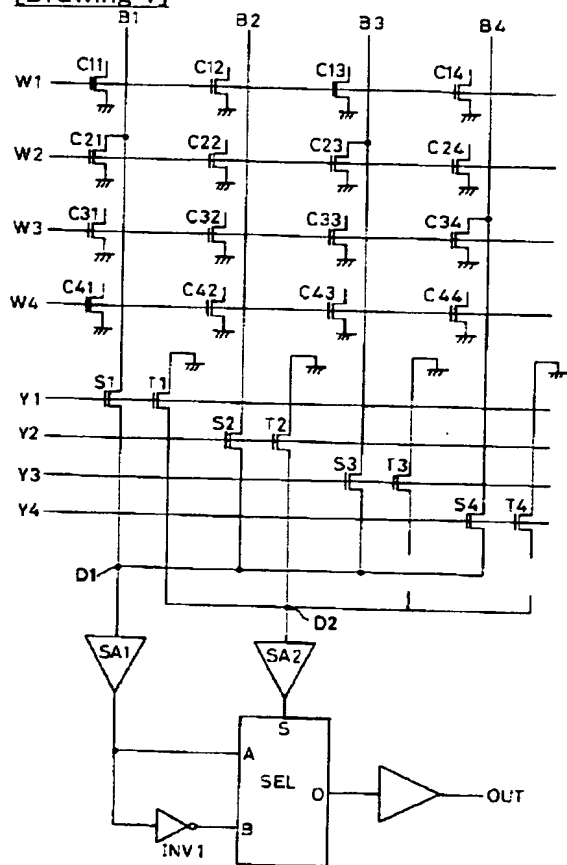
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

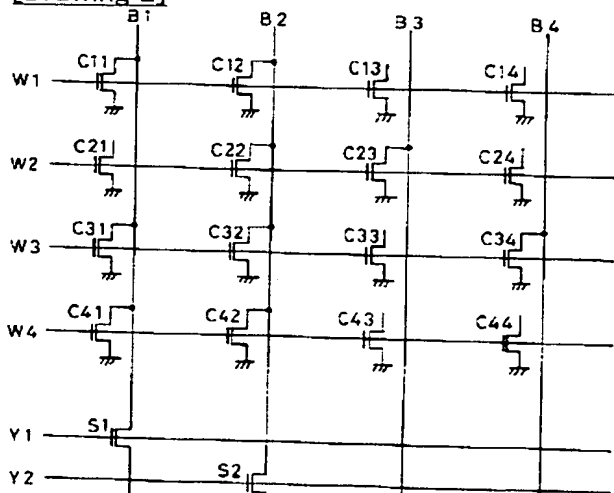
3.In the drawings, any words are not translated.

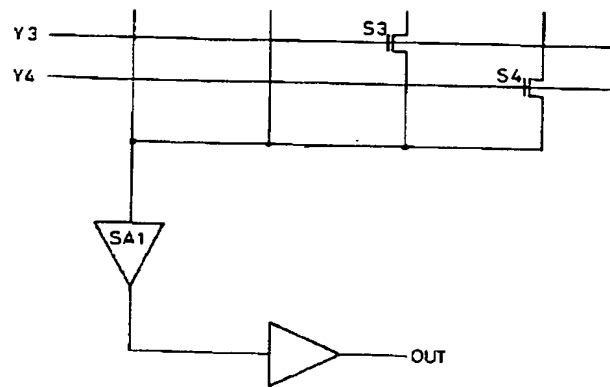
DRAWINGS

[Drawing 1]



[Drawing 2]





[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-176592

(43)公開日 平成6年(1994)6月24日

(51)IntCl³

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/18

6741-5L

G 1 1 C 17/ 00

3 0 6 A

審査請求 有 請求項の数 1 (全 5 頁)

(21)出願番号 特願平4-349885

(22)出願日 平成4年(1992)12月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 杉山 伸之

東京都港区芝五丁目7番1号 日本電気株式会社内

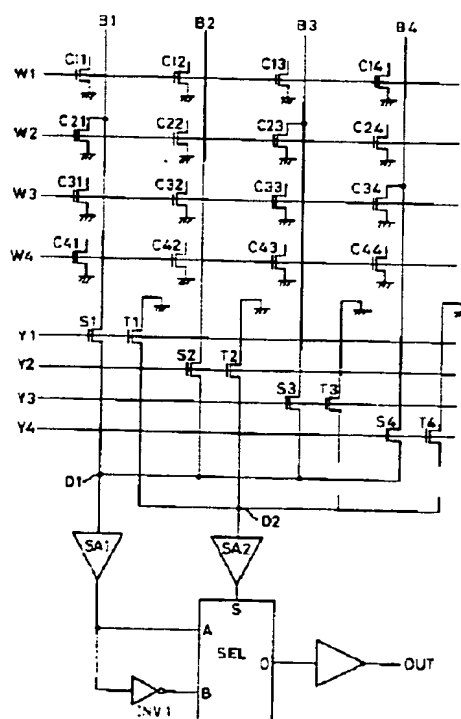
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 マスクROM

(57)【要約】

【目的】 ビット線につく負荷容量を低減し、従来よりも高速のマスクROMを提供する。

【構成】 2-1セクタSELの一方の入力AにはNチャンネルMOSトランジスタS1~S4を通してビット線B1~B4が接続されたデータ線D1の値がセンスアンプSA1を通して入力される。2-1セクタSELの他方の入力BにはセンスアンプSA1の出力がインバータINV1で反転されて入力される。2-1セクタSELの信号選択端子SにはNチャンネルMOSトランジスタT1, T2が接続されたデータ線D2の値がセンスアンプSA2を通して入力される。2-1セクタSELは信号選択端子Sにハイレベルが入力されると他方の入力Bを、ロウレベルが入力されると一方の入力Aを夫々選択する。



【特許請求の範囲】

【請求項1】 メモリセルを構成するトランジスタのドレイン電極がビット線に接続されているか否かに応じて該メモリセルからの出力値が異なるマスクROMであって、選択されたビット線上のデータを反転する反転手段と、前記ビット線上のデータと前記反転手段の反転データとのうち一方を選択する選択手段と、いずれのビット線を選択するかに応じて前記選択手段の選択動作を制御する制御手段とを有することを特徴とするマスクROM。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマスクROMに関し、特にコンタクトまたは金属層配線工程によってROMデータが書込まれるマスクROMに関する。

【0002】

【従来の技術】 従来、この種のマスクROMにおいては、図2に示すように、メモリセルを構成するNチャンネルMOSトランジスタ（以下トランジスタとする）C11～C14、C21～C24、C31～C34、C41～C44のソース電極を電源端子に接続し、これらトランジスタC11～C14、C21～C24、C31～C34、C41～C44のドレイン電極をビット線B1～B4に接続するかあるいは接続しないでおくかによってROMデータを書換えている。

【0003】 これらトランジスタC11～C14、C21～C24、C31～C34、C41～C44によるビット線B1～B4の電位の変化はセンスアンプSA1で検出されてROMデータとして出力される。

【0004】 尚、ROMデータの書換えは金属層配線またはコンタクト、スルーホール工程で行うことがTAT（turn around time）に関して有利なので、ASIC（特定用途向けLSI）などでは一般的に行われている。

【0005】 この図2を用いてマスクROMからの読出し動作について説明する。まず、ワード線W1及びカラムの選択信号Y1が選択されると、トランジスタC11のゲート電極の電位がVDDまで上がり、トランジスタC11がオンする。トランジスタC11がオンすると、トランジスタC11のドレイン電極がビット線B1に接続されているため、トランジスタC11がビット線B1の電位を引き下げる。これをセンスアンプSA1がローレベルとして読出す。

【0006】 また、ワード線W2及びカラムの選択信号Y1が選択されると、トランジスタC21のゲート電極の電位がVDDまで上がり、トランジスタC21がオンする。トランジスタC21がオンしても、トランジスタC21のドレイン電極がビット線B1に接続されていないため、トランジスタC21がビット線B1の電位を引き下げることはない。これをセンスアンプSA1がハイ

レベルとして読出す。尚、他のトランジスタも上記の動作と同様に動作する。

【0007】 上述したように、トランジスタのドレイン電極をビット線に接続するかあるいは接続しないでおくかによってROMデータを書換えると、ROMデータの内容によっては各ビット線に接続されるトランジスタの数が不揃いになることがある。ビット線に接続されるトランジスタの数が不揃いになると、種々の不都合が生ずることがあるので、全トランジスタのドレイン電極をビット線に接続し、ビット線につくドレイン部分の容量を等しくするROMが特開平3-105798号公報に開示された技術で提案されている。但し、上記の如くすると、ビット線につくドレイン部分の容量が最大となるため、読出し速度が遅くなる。

【0008】

【発明が解決しようとする課題】 上述した従来のマスクROMでは、トランジスタのドレイン電極をビット線に接続した場合、ドレイン部分の容量がビット線につくが、トランジスタのドレイン電極をビット線に接続しない場合にはそのドレイン部分の容量がビット線につくことはない。

【0009】 したがって、接続するトランジスタが多いビット線と接続するトランジスタが少ないビット線とではビット線につくドレイン部分の容量に大きな差がつき、この差が同一時刻のビット線間の信号レベルの変化量の差となって現れる。接続するトランジスタが多いビット線ではリードするときのアクセスタイムが遅れてしまい、ワースト条件としては図2に示すビット線B2のように全てのトランジスタのドレイン電極がビット線に接続される場合を考える必要があるため、保証できるアクセスタイムが遅くなってしまうという問題がある。

【0010】 そこで、本発明の目的はビット線につく負荷容量を低減させることができ、従来よりも高速のマスクROMを提供することにある。

【0011】

【課題を解決するための手段】 本発明によるマスクROMは、メモリセルを構成するトランジスタのドレイン電極がビット線に接続されているか否かに応じて該メモリセルからの出力値が異なるマスクROMであって、選択されたビット線上のデータを反転する反転手段と、前記ビット線上のデータと前記反転手段の反転データとのうち一方を選択する選択手段と、いずれのビット線を選択するかに応じて前記選択手段の選択動作を制御する制御手段とを備えている。

【0012】

【実施例】 次に、本発明の一実施例について図面を参照して説明する。

【0013】 図1は本発明の一実施例を示す回路図である。図において、C11～C14、C21～C24、C31～C34、C41～C44はメモリセルとなるNチ

チャンネルMOSトランジスタ（以下トランジスタとする）であり、W1～W4はワード線であり、B1～B4はビット線である。

【0014】上記のトランジスタC11～C14、C21～C24、C31～C34、C41～C44は全てソース電極がグランド線に接続されており、トランジスタC21、C23、C34のドレイン電極はビット線B1、B3、B4に夫々接続されている。

【0015】また、ビット線B1～B4はNチャンネルMOSトランジスタ（以下トランジスタとする）S1～S4を通してデータ線D1に接続されている。データ線D1はセンスアンプSA1の入力に接続され、センスアンプSA1の出力は2-1セクタSELの一方の入力AとインバータINV1の入力とに接続されている。インバータINV1の出力は2-1セクタSELの他方の入力Bに接続されている。

【0016】NチャンネルMOSトランジスタ（以下トランジスタとする）T1～T4のソース電極はグランド線に接続されており、トランジスタT1、T2のドレイン電極はデータ線D2に接続されている。データ線D2はセンスアンプSA2の入力に接続され、センスアンプSA2の出力は2-1セクタSELの信号選択端子Sに接続されている。

【0017】2-1セクタSELは信号選択端子Sにハイレベルが入力されると他方の入力Bを選択し、信号選択端子Sにロウレベルが入力されると一方の入力Aを選択する。

【0018】この図1を用いて本発明の一実施例の動作について説明する。まず、トランジスタC11が選択される場合、ワード線W1とカラムの選択信号Y1とがハイレベルとなり、ワード線W2、W3、W4とカラムの選択信号Y2、Y3、Y4とがロウレベルとなる。

【0019】このとき、ワード線W1がハイレベルとなっても、トランジスタC11のドレイン電極がビット線B1に接続されていないので、ビット線B1及びデータ線D1の電位はローレベルに引き落とされない。よって、2-1セクタSELの一方の入力Aにはハイレベルが、他方の入力Bにはロウレベルが夫々入力される。

【0020】また、カラムの選択信号Y1がハイレベルになると、トランジスタT1のゲートがハイレベルとなるので、データ線D2の電位はトランジスタT1を通してロウレベルに引き落とされ、2-1セクタSELの信号選択端子Sにロウレベルが入力される。よって、2-1セクタSELでは他方の入力Bを選択するので、2-1セクタSELからはロウレベルが出力される。

【0021】トランジスタC21が選択される場合、ワード線W2とカラムの選択信号Y1とがハイレベルとなり、ワード線W1、W3、W4とカラムの選択信号Y2、Y3、Y4とがロウレベルとなる。

【0022】このとき、ワード線W2がハイレベルにな

ると、トランジスタC21のドレイン電極がビット線B1に接続されているので、ビット線B1及びデータ線D1の電位がロウレベルに引き落とされる。よって、2-1セクタSELの一方の入力Aにはロウレベルが、他方の入力Bにはハイレベルが夫々入力される。

【0023】また、カラムの選択信号Y1がハイレベルになると、トランジスタT1のゲートがハイレベルとなるので、データ線D2の電位はトランジスタT1を通してロウレベルに引き落とされ、2-1セクタSELの信号選択端子Sにロウレベルが入力される。よって、2-1セクタSELでは他方の入力Bを選択するので、2-1セクタSELからはハイレベルが出力される。

【0024】トランジスタC13が選択される場合、ワード線W1とカラムの選択信号Y3とがハイレベルとなり、ワード線W2、W3、W4とカラムの選択信号Y1、Y2、Y4とがロウレベルとなる。

【0025】このとき、ワード線W1がハイレベルになっても、トランジスタC13のドレイン電極がビット線B1に接続されていないので、ビット線B1及びデータ線D1の電位はロウレベルに引き落とされない。よって、2-1セクタSELの一方の入力Aにはハイレベルが、他方の入力Bにはロウレベルが夫々入力される。

【0026】また、カラムの選択信号Y3がハイレベルになると、トランジスタT3のゲートがハイレベルとなるが、トランジスタT3のドレイン電極がデータ線D2に接続されていないので、データ線D2の電位はトランジスタT3を通してロウレベルに引き落とされず、2-1セクタSELの信号選択端子Sにハイレベルが入力される。よって、2-1セクタSELでは一方の入力Aを選択するので、2-1セクタSELからはハイレベルが出力される。

【0027】トランジスタC23が選択される場合、ワード線W2とカラムの選択信号Y3とがハイレベルとなり、ワード線W1、W3、W4とカラムの選択信号Y1、Y2、Y4とがロウレベルとなる。

【0028】このとき、ワード線W2がハイレベルになると、トランジスタC23のドレイン電極がビット線B1に接続されているので、ビット線B1及びデータ線D1の電位がロウレベルに引き落とされる。よって、2-1セクタSELの一方の入力Aにはロウレベルが、他方の入力Bにはハイレベルが夫々入力される。

【0029】また、カラムの選択信号Y3がハイレベルになると、トランジスタT3のゲートがハイレベルとなるが、トランジスタT3のドレイン電極がデータ線D2に接続されていないので、データ線D2の電位はトランジスタT3を通してロウレベルに引き落とされず、2-1セクタSELの信号選択端子Sにハイレベルが入力される。よって、2-1セクタSELでは一方の入力Aを選択するので、2-1セクタSELからはロウレベルが出力される。

【0030】この結果、ビット線B1、B2に接続可能なトランジスタC11、C12、C21、C22、C31、C32、C41、C42が選択された場合には、データ線D1上のデータがインバータINV1で反転されて出力される。また、ビット線B3、B4に接続可能なトランジスタC13、C14、C23、C24、C33、C34、C43、C44が選択された場合には、データ線D1上のデータがそのまま出力されることになる。

【0031】よって、トランジスタC11～C14、C21～C24、C31～C34、C41～C44が夫々選択された場合の出力値は図2に示す従来の回路と同じ出力を得ることができる。

【0032】また、図2において、ビット線B1には3個のトランジスタ、ビット線B2には4個のトランジスタが夫々接続されていたが、図1に示す本実施例ではビット線B1には1個のトランジスタ、ビット線B2には0個のトランジスタしか接続されないため、ビット線B1、B2につくドレイン部分の容量を減少させることができ、電位の変化する速度を速めることができる。尚、トランジスタT1～T4をデータ線D2に接続させる工程は、ROMデータを書換える工程と同一工程で実現することが可能であるのはあきらかである。

【0033】このように、各ビット線B1～B4に出力を反転させるかどうかを判定するためのディジットを設け、正転出力時にビット線B1～B4に多数のトランジスタのドレイン電極が接続するような場合には反転出力を選択し、ビット線B1～B4に少数のトランジスタのドレイン電極しか接続されないような場合には正転出力を選択することによって、反転出力を選択する場合には正転出力時にビット線B1～B4に接続されていた多数のトランジスタをビット線B1～B4から切り離すことができる。よって、ビット線B1～B4につく負荷容量を低減することができ、従来よりも高速のマスクROM

を実現することができる。

【0034】この場合、ビット線B1～B4に接続されたトランジスタが多数か少数かの判断は50%を越えているか否かによって行なう。すなわち、ビット線B1～B4に接続されたトランジスタが50%を越えていれば、本実施例の如く反転出力を選択することでビット線B1～B4に接続されるトランジスタを50%未満とすることができる。

【0035】尚、本発明の一実施例では単体のメモリチップについて述べたが、1チップマイクロコンピュータやロジックLSI内のメモリなどにも適用できるのは明白であり、これに限定されない。

【0036】

【発明の効果】以上説明したように本発明によれば、いずれのビット線を選択するかに応じてビット線上のデータとその反転データとのうち一方を選択することによって、ビット線につく負荷容量を低減させることができ、従来よりも高速のマスクROMを提供することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】従来例を示す回路図である。

【符号の説明】

C11～C14、C21～C24、C31～C34、C41～C44、S1～S4、T1～T4 NチャンネルMOSトランジスタ
W1～W4 ワード線
B1～B4 ビット線
D1、D2 データ線
Y1～Y4 カラムの選択信号
SA1、SA2 センスアンプ
INV1 インバータ
SEL 2-1セクタ

【図2】

